

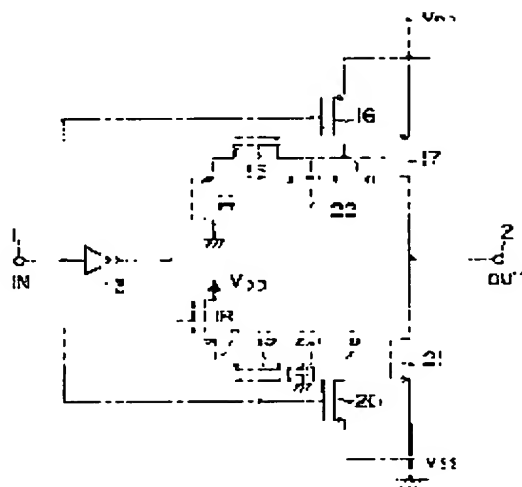
(11)Publication number : 06-132806
(43)Date of publication of application : 13.05.1994

H03K 19/0175
H03K 17/16
H03K 17/687
H03K 19/0948

(71)Applicant : OLYMPUS OPTICAL CO LTD
(72)Inventor : HATTORI HIROSHI

(57)Abstract:

CONSTITUTION: When an input signal is turned to 'L', an N channel MOS transistor TR 20 is turned off, an N channel MOS FET 18 is turned off, and the voltage of a node (b) keeps an 'L' level corresponding to the gate capacity of a TR 21 and total capacity 23 of the TR 20 and a TR 19. On the other hand, the voltage of a node (a) is changed into an 'H' level. When the output of an element 3 is changed from 'L' to 'H' in this case, a TR 14 is turned off, the node (a) is turned to the 'H' level, the TR 18 is turned on at the same time, the capacity 23 keeping the voltage of the node (b) is charged by a P channel MOS FET 19 and the N channel MOS TR 18, and the voltage value of the node (b) is turned to the 'H' later than the node (a). At such a time, a TR 21 is turned on after a TR 17 is first turned off, and the a terminal 2 is turned to the 'L' level. Namely, the P and N MOS Tr are not simultaneously turned on.



[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-132806

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175				
17/16	L	9184-5 J		
17/687				
		8941-5 J	H 0 3 K 19/ 00	1 0 1 F
		8221-5 J	17/ 687	F

審査請求 未請求 請求項の数 1 (全 6 頁) 最終頁に続く

(21)出願番号 特願平4-277171

(22)出願日 平成4年(1992)10月15日

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 服部 浩

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

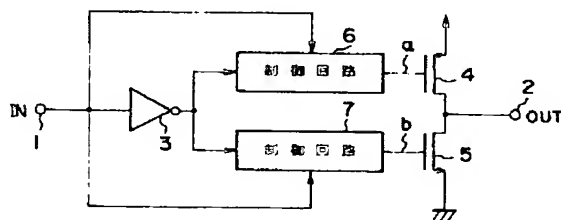
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 CMOS出力バッファ回路

(57)【要約】

【目的】 CMOSトランジスタが同時にオン状態とならないようにして貫通電流を低減することにより、オーバーシュートやアンダーシュートの発生を防止し、延いては外部回路に悪影響を与えないように改良したCMOS出力バッファ回路を提供することを目的としている。

【構成】 入力信号が印加されるNOT素子3と、前記NOT素子の出力信号を二分岐した信号で駆動されるPチャンネルおよびNチャンネルよりなるCMOSトランジスタ4、5と、前記NOT素子3とCMOSトランジスタ4、5との間に設けられ、前記二分岐した信号の立上りおよび立下りのタイミングを相互に異ならせる第1および第2の制御回路6、7を具備したことを特徴とする。



【特許請求の範囲】

【請求項1】 入力信号が印加されるNOT素子と、前記NOT素子の出力信号を二分岐した信号で駆動されるPチャンネルおよびNチャンネルよりなるCMOSトランジスタと、前記NOT素子とCMOSトランジスタとの間に設けられ、前記二分岐した信号の立上りおよび立下りのタイミングを相互に偏位させる第1および第2の制御回路を具備したことを特徴とするCMOS出力バッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、CMOS（相補形メタルオキシドシリコン）集積回路に係り、特にそのCMOS出力バッファ回路の改良に属する。

【0002】

【従来の技術】 図5に、従来より用いられている一般的なCMOS出力バッファ回路を示す。

【0003】 すなわち、このCMOS出力バッファ回路は入力端子1より印加された信号が、インバータ（NOT）素子3で反転され、PチャンネルおよびNチャンネルよりなるCMOSトランジスタ4、5のどちらか一方をオン状態にし、出力端子2に出力信号として導出されるように動作する。

【0004】 例えば、入力端子1に、論理レベル“H”の信号が印加された場合、NOT素子3の出力は“L”レベルとなり、PチャンネルMOSトランジスタ4がオン、NチャンネルMOSトランジスタ5がオフ状態となり、出力端子2へは、論理レベル“H”の信号が導出される。

【0005】

【発明が解決しようとする課題】 ところが、このような従来のCMOS出力バッファ回路の場合、図6（a）に示すように、例えば入力端子1へ印加される論理信号が“L”から“H”または“H”から“L”へ変化した場合、NOT素子の出力ノードaは、図6（b）に示すように徐々に“H”から“L”または“L”から“H”へ変化する。

【0006】 ここで、変化過程の2点 V_{a1} 、 V_{a2} の電位が電源電圧を V_{DD} 、接地電位を V_{SS} としたとき、 $V_{a1} = V_{DD} - V_{t1}$ 、 $V_{a2} = V_{SS} + V_{t2}$ （但し、 V_{t1} 、 V_{t2} は、P及びNチャンネルMOSトランジスタのスレシホールド電圧とする。）とすれば、出力ノードaが、 V_{a1} より高い電圧は、NチャンネルMOSトランジスタ5のみオン状態である。また、 V_{a2} より低い場合は、PチャンネルMOSトランジスタ4のみオン状態となっている。

【0007】 しかるに、出力ノードaの電圧が V_{a1} 、 V_{a2} の間にある場合は、NチャンネルPチャンネルの両トランジスタ4、5がオン状態となり、電源 V_{DD} から接地 V_{SS} へ電流が流れる（貫通電流）。

【0008】 従って、従来の回路では、特に、この場合大きな外部負荷を駆動するために、P、NチャンネルMOSトランジスタ4、5のサイズが大きくなされていたり、あるいは、また高速化、高集積化のために、ゲート長が短くされていたりすると、外部負荷と上記貫通電流により、図6（c）に示すようなオーバーシュートOC、アンダーシュートUCが発生し、外部回路に対して誤動作、電波障害等を誘発するという問題があった。

【0009】 そこで、本発明は以上のような点に鑑みてなされたもので、CMOSトランジスタが同時にオン状態とならないようにして貫通電流を低減することにより、オーバーシュートやアンダーシュートの発生を防止し、延いては外部回路に悪影響を与えないように改良したCMOS出力バッファ回路を提供することを目的としている。

【0010】

【課題を解決するための手段および作用】 すなわち、本発明のCMOS出力バッファ回路は、以上のような課題を解決するために、図1に示す基本構成図のように、最終出力段のPチャンネルMOSトランジスタのゲートとNチャンネルMOSトランジスタのゲートを独立に制御する第1の制御回路6、および第2の制御回路7を設け、それぞれの制御回路6、7の出力信号a、bを入力端子1へ印加される入力信号とNOT素子3の出力信号とにより、図4（b）、（c）に示すように互いにタイミングの異なる信号として発生させることにより、PチャンネルMOSトランジスタ4、NチャンネルMOSトランジスタ5が同時にオン状態とならないようにして貫通電流を低減することを可能とし、これにより前記問題点を解消しようとするものである。すなわち、本発明によるCMOS出力バッファ回路は入力信号が印加されるNOT素子と、前記NOT素子の出力信号を二分岐した信号で駆動されるPチャンネルおよびNチャンネルよりなるCMOSトランジスタと、

【0011】 前記NOT素子とCMOSトランジスタとの間に設けられ、前記二分岐した信号の立上りおよび立下りのタイミングを相互に偏位させる第1および第2の制御回路を具備したことを特徴とする。また、より具体的には、ソースを電源、ドレインを出力端子に接続した第1のPチャンネルMOSトランジスタと、ソースを接地、ドレインを前記出力端子に接続した第1のNチャンネルMOSトランジスタと、入力端子に接続されたNOT素子により構成するCMOS出力回路において、前記第1のPチャンネルMOSトランジスタのゲートを前記第2のPチャンネルMOSトランジスタのドレインに接続し、

【0012】 前記第2のPチャンネルMOSトランジスタのソースを電源に接続すると共に、ゲートを前記入力端子と第3のNチャンネルMOSトランジスタのゲートとに接続し、

【0013】前記第3のNチャンネルMOSトランジスタのドレインを前記第1のPチャンネルMOSトランジスタのゲートに接続すると共に、ソースを第4のPチャンネルMOSトランジスタのソースと接続し、更に、前記第4のPチャンネルMOSトランジスタのゲートを前記NOT素子の出力に接続すると共に、ドレインを接地し、前記第1のNチャンネルMOSトランジスタのゲートを前記第2のNチャンネルMOSトランジスタのドレインに接続し、前記第2のNチャンネルMOSトランジスタのソースを接地すると共に、ゲートを前記入力端子と第3のPチャンネルMOSトランジスタのゲートに接続し、

【0014】前記第3のPチャンネルMOSトランジスタのドレインを前記第1のNチャンネルMOSトランジスタのゲートに接続すると共に、ソースを第4のNチャンネルMOSトランジスタのソースに接続し、更に、前記第4のNチャンネルMOSトランジスタのゲートを前記NOT素子の出力に接続すると共に、ドレインを電源に接続したことを特徴とする。

【0015】

【実施例】以下、図面を参照して本発明の実施例につき説明する。

【0016】図1は上述したように本発明によるCMOS出力バッファ回路の基本構成を示しており、NOT素子3と最終段PおよびNチャンネルMOSトランジスタ4、5との間に、これらのCMOSトランジスタ4、5が同時にオン状態とならないようにタイミングをずらす第1および第2の制御回路6、7が設けられている。図2は本発明によるCMOS出力バッファ回路の具体例を示す。

【0017】図中1は入力端子(IN)、2は出力端子(OUT)であり、3は、NOT素子、14、16、17、19はPチャンネルMOSトランジスタ、15、18、20、21はNチャンネルMOSトランジスタである。このうち、PチャンネルMOSトランジスタ17およびNチャンネルMOSトランジスタ21のドレインは共通に出力端子2に接続される。PチャンネルMOSトランジスタ16、17のソースは共通に電源 V_{DD} に接続される。

【0018】NチャンネルMOSトランジスタ20、21のソースは共通に接地 V_{SS} に接続され、PチャンネルMOSトランジスタ17のゲートは、NチャンネルMOSトランジスタ15のドレインおよびPチャンネルMOSトランジスタ16のドレインに接続される。

【0019】また、NチャンネルMOSトランジスタ21のゲートは、PチャンネルMOSトランジスタ19のドレインおよびNチャンネルMOSトランジスタ20のドレインに接続される。

【0020】PチャンネルMOSトランジスタ16のゲート、NチャンネルMOSトランジスタ15のゲート、

PチャンネルMOSトランジスタ19のゲートおよびNチャンネルMOSトランジスタ20のゲートは、NOT素子3の入力および入力端子1に共通に接続される。NチャンネルMOSトランジスタ15のソースは、PチャンネルMOSトランジスタ14のソースに接続される。PチャンネルMOSトランジスタ19のソースはNチャンネルMOSトランジスタ18のソースに接続される。PチャンネルMOSトランジスタ14のドレインは接地 V_{SS} に接続される。NチャンネルMOSトランジスタ18のドレインは電源 V_{DD} に接続される。PチャンネルMOSトランジスタ14のゲートとNチャンネルMOSトランジスタ18のゲートは、NOT素子3の出力に共通に接続される。次に、以上のように構成されるCMOS出力バッファ回路の動作について詳細に説明する。初期状態として入力端子1及び出力端子2は、“L”レベルとする。このとき、PチャンネルMOSトランジスタ16はオン、NチャンネルMOSトランジスタ20はオフ状態になる。

【0021】一方、NOT素子3の出力は、“H”レベルとなるため、NチャンネルMOSトランジスタ18はオン、PチャンネルMOSトランジスタ14はオフ状態になる。

【0022】これにより、ノードaは、PチャンネルMOSトランジスタ16により“H”レベル(V_{DD})となり、ノードcは“H”レベルとなるが、その電圧値はNチャンネルMOSトランジスタ18のスレシホールド電圧分だけ下降した電圧値($V_{DD} - V_{tn}$)となる。そして、PチャンネルMOSトランジスタ19がオンし、ノードbの電圧値は($V_{DD} - V_{tp}$)となる。

【0023】これにより、PチャンネルMOSトランジスタ17はオフ、NチャンネルMOSトランジスタ21はオン状態となり、出力端子2には、“L”レベルの信号が現れる。この状態から、入力信号が図3(a)に示すように“L”から“H”レベルへ変化した場合について説明する。入力信号が“H”レベルとなると、PチャンネルMOSトランジスタ16はオフ状態となる。

【0024】このとき、PチャンネルMOSトランジスタ14はNOT素子3の出力が“L”レベルとなるまでオフ状態のままであり、ノードaの電圧は、ノードaに依存するPチャンネルMOSトランジスタ17のゲート容量、PチャンネルMOSトランジスタ16、NチャンネルMOSトランジスタ15の拡散容量の合計容量22により、“H”レベルを維持する。

【0025】一方、ノードbの電圧は、NチャンネルMOSトランジスタ18が、NOT素子3の出力が“L”レベルとなるまでオン状態となっても、NチャンネルMOSトランジスタ20により、“L”レベルへと電圧値が変化する(電圧値は、トランジスタを抵抗と考えると抵抗比により $1/3 V_{DD}$)。

【0026】この後、NOT素子3の出力が“H”レベ

ルから“L”レベルへ変化すると、NチャンネルMOSトランジスタ18がオフし、ノードbの電圧が“L”レベル(V_{ss})となると同時に、PチャンネルMOSトランジスタ14がオン状態となり、ノードaの電圧を維持している容量22をNチャンネルMOSトランジスタ15、PチャンネルMOSトランジスタ14により放電し、ノードaの電圧値はノードbより遅く“L”レベルとなる。

【0027】このときの電圧レベルは、NOT素子3の出力に比べPチャンネルMOSトランジスタ14のスレシホールド電圧 V_{th} 分だけ上昇した電圧値($V_{ss} + V_{th}$)となる。この結果、NチャンネルMOSトランジスタ21が先にオフしたのち、PチャンネルMOSトランジスタ17がオンし、出力端子2は、“H”レベルとなる。次に、入力信号が“H”レベルから“L”レベルへ変化した場合について説明する。

【0028】入力信号が“L”レベルとなるとNチャンネルMOSトランジスタ20はオフ状態となり、NOT素子3の出力が反転して“H”レベルとなるまで、NチャンネルMOSトランジスタ18はオフ状態のままで、ノードbの電圧値は、NチャンネルMOSトランジスタ21のゲート容量、NチャンネルMOSトランジスタ20、PチャンネルMOSトランジスタ19の拡散容量の合計容量23により“L”レベルを維持する。

【0029】一方、ノードaの電圧はPチャンネルMOSトランジスタ14が、NOT素子3の出力が“H”レベルとなるまでオン状態となっても、PチャンネルMOSトランジスタ16がオン状態となるので、ノードaの電圧値は“H”レベルへ変化する(電圧値は、トランジスタを抵抗と考えると抵抗比により $V_{dd} - 1/3 V_{dd}$)。

【0030】この後、NOT素子の出力が“L”レベルから“H”レベルへ変化すると、PチャンネルMOSトランジスタ14はオフ状態となり、ノードaは“H”レベル(V_{dd})となると同時に、NチャンネルMOSトランジスタ18がオン状態となり、ノードbの電圧を維持している容量23を、PチャンネルMOSトランジスタ19、NチャンネルMOSトランジスタ18により充電し、ノードbの電圧値はノードaより遅く“H”レベルとなる。

【0031】このときの電圧レベルはNOT素子3の出*

*力に比べ、NチャンネルMOSトランジスタ18のスレシホールド電圧分だけ下降した電圧値($V_{dd} - V_{th}$)となる。この結果、PチャンネルMOSトランジスタ17が先にオフした後、NチャンネルMOSトランジスタ21がオンし、出力端子2は“L”レベルとなる。

【0032】これらの状態を示したのが図3(a)～(d)であり、本実施例回路の動作において最終出力段のPチャンネルMOSトランジスタ17、NチャンネルMOSトランジスタ21が同時にオン状態とならないよう動作する。以上において、MOSトランジスタ14、15、16は第1の制御回路6を構成し、MOSトランジスタ18、19、20は第2の制御回路7を構成する。

【0033】

【発明の効果】従って、以上説明したように、本発明によれば、最終段のPおよびNチャンネルMOSトランジスタが、同時にオン状態となることをなくし、これにより電源から接地側へ流れる貫通電流を低減することにより、出力端子で発生するオーバーシュート、アンダーシュートを抑え、これらによる外部回路への電波障害の誘発を防止することが可能なCMOS出力バッファ回路を提供することができる。

【図面の簡単な説明】

【図1】本発明によるCMOS出力バッファ回路の一実施例の基本構成を示す図。

【図2】本発明によるCMOS出力バッファ回路の一実施例の具体的構成を示す図。

【図3】図2の構成の動作を説明するためのタイミングチャート。

【図4】図1の構成の動作を説明するためのタイミングチャート。

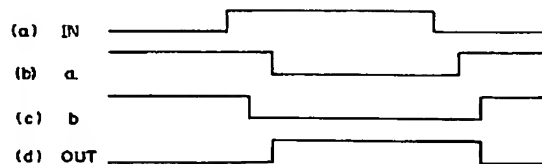
【図5】従来のCMOS出力バッファ回路を示す図。

【図6】図5の動作を説明するためのタイミングチャート。

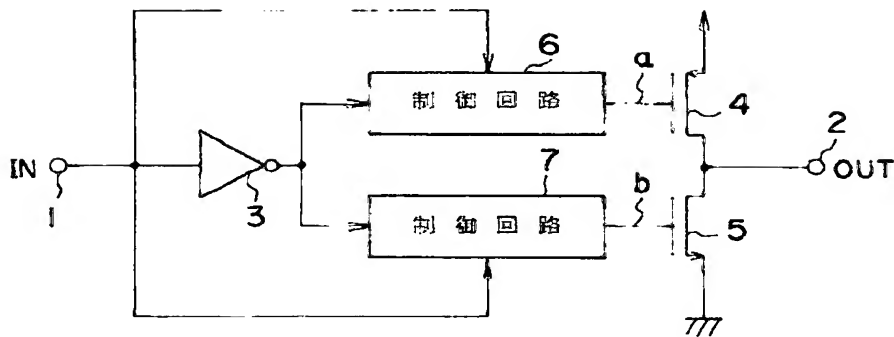
【符号の説明】

1…入力端子、 2…出力端子、3…NOT素子、 4, 5…CMOSトランジスタ、14, 16, 17, 19…PチャンネルMOSトランジスタ、15, 18, 20, 21…NチャンネルMOSトランジスタ、22, 23…浮遊容量(ゲート容量+拡散容量)。

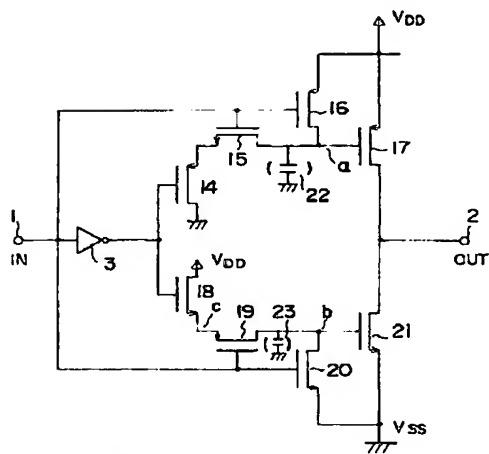
【図4】



【図1】

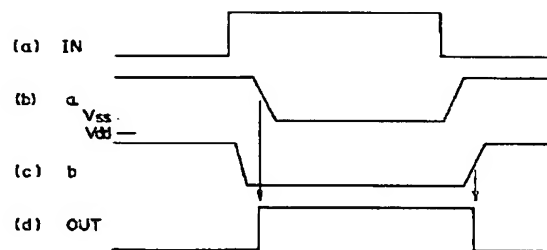


【図2】

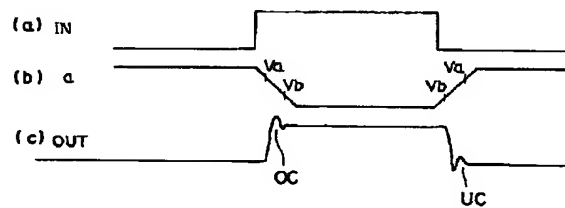


- 1: 入力端子
2: 出力端子
3: NOT 素子
4, 5: CMOS トランジスタ
14, 16, 17, 19: P チャンネル MOS トランジスタ
15, 18, 20, 21: N チャンネル MOS トランジスタ
22, 23: 浮遊容量 (ゲート容量 + 拡散容量)

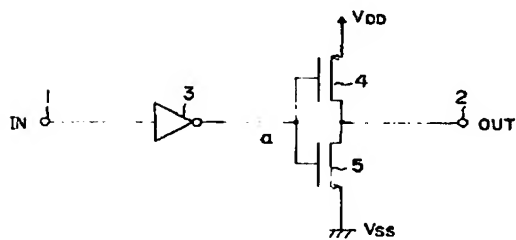
【図3】



【図6】



【図5】



フロントページの続き

(51)Int.Cl. ³	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 K 19/0948		8321-5J	H 0 3 K 19/094	B